



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 199 20 992 A 1**

⑤ Int. Cl. 7:  
**G 11 C 7/00**  
G 06 F 12/00

⑲ Aktenzeichen: 199 20 992.8  
⑳ Anmeldetag: 6. 5. 1999  
㉑ Offenlegungstag: 16. 11. 2000

DE 199 20 992 A 1

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Schicklinski, Peter, Dipl.-Math., 81477 München,  
DE; Hoffmann, Christian, 58452 Witten, DE; Gericke,  
Harald, 46119 Oberhausen, DE

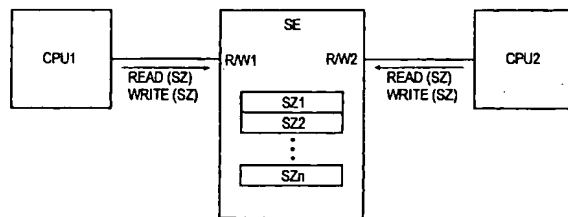
⑤⑤ Entgegenhaltungen:  
DE 39 41 880 C2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren für einen Zugriff auf eine Speichereinrichtung

⑤⑦ Die Speichereinrichtung (SE) ist über einen ersten Anschluß (R/W1) mit einer ersten Zugriffseinrichtung (CPU1) und über einen zweiten Anschluß (R/W2) mit einer zweiten Zugriffseinrichtung (CPU2). Infolge eines Lese- bzw. Schreibzugriffs auf eine Speicherzelle (SZ1, ..., SZn) der Speichereinrichtung (SE) durch die erste und/oder die zweite Zugriffseinrichtung (CPU1, CPU2) wird eine, in der Speicherzelle (SZ1, ..., SZn) gespeicherte Information zeitlich nacheinander n-mal ausgelesen und anschließend verglichen, wobei die Information als korrekt ausgelesen bzw. eingeschrieben gilt, wenn die n ermittelten Informationen identisch sind.



DE 199 20 992 A 1

## Beschreibung

Die Erfindung betrifft ein Verfahren für einen Lese- bzw. Schreibzugriff auf eine Speichereinrichtung gemäß dem Oberbegriff des Patentanspruchs 1 bzw. 2.

Aus der Produktschrift der Fa. Siemens "ISDN im Büro – HICOM", Sonderausgabe telcom report und Siemens-Magazin COM, 1985, ISBN 3-8009-3849-9, insbesondere der Seiten 58 bis 66, ist eine modular aufgebaute private Kommunikationsanlage bekannt. Die Kommunikationsanlage weist eine Vielzahl von, einem Anschluß von Teilnehmergeräten an die Kommunikationsanlage dienende Teilnehmeranschlußbaugruppen auf, wobei eine vorgegebene Anzahl von Teilnehmeranschlußbaugruppen jeweils in einer Anschlußeinheit zusammengefaßt sind. Hierbei ist den Anschlußeinheiten jeweils eine anschlusseinheitenindividuelle Steuerungseinrichtung zugeordnet.

Zur Speicherung von Daten auf den jeweiligen Teilnehmeranschlußbaugruppen weisen diese jeweils eine Speichereinrichtung auf, die in der Regel als sogenannter "Dual Ported RAM (Random Access Memory)" ausgebildet ist, d. h. die Speichereinrichtung weist zwei voneinander unabhängige Anschlüsse für Lese- bzw. Schreibzugriffe auf die Speichereinrichtung auf. Über die beiden Anschlüsse des "Dual Ported RAMs" sind somit gleichzeitige Zugriffe auf die Speichereinrichtung ausgehend von einem auf der Baugruppe angeordneten Prozessor, als auch von einem der Steuerungseinrichtung der jeweiligen Anschlußeinheit zugeordneten Prozessor möglich.

Aus dem Datenblatt "CMOS DUAL-PORT RAM", der Firma Integrated Device Technology Inc., November 1993, ist beispielsweise ein 'Dual Ported RAM' bekannt, das bei einem gleichzeitigen Zugriff auf dieselbe Speicherzelle dieser Speichereinrichtung für einen gesicherten Zugriff auf die Speicherzelle, d. h. für ein korrektes Auslesen einer Information aus der Speicherzelle bzw. ein korrektes Einspeichern einer Information in die Speicherzelle, die beiden gleichzeitigen Zugriffe in zwei sequentielle Zugriffe aufspaltet. Hierzu weist die Speichereinrichtung eine Arbitrierungslogik auf, die bei zwei gleichzeitigen, ausgehend von den beiden Anschlüssen erfolgenden Zugriffen auf dieselbe Speicherzelle der Speichereinrichtung einen ersten Anschluß der Speichereinrichtung für einen Schreib- bzw. Lesezugriff auf die Speichereinrichtung freigibt und einen zweiten Anschluß durch das Setzen eines sogenannten BUSY-Signals für einen gleichzeitigen Zugriff sperrt. Nach Beendigung des, über den ersten Anschluß erfolgenden Zugriffs wird der zweite Anschluß durch das Zurücksetzen des BUSY-Signals für einen nachfolgenden Lese- bzw. Schreibzugriff freigegeben.

Derartige, eine Arbitrierungslogik aufweisende 'Dual Ported RAMs' sind jedoch in der Regel teuer und benötigen zudem eine zusätzliche Signalisierung auf der Baugruppe – z. B. das BUSY-Signal – um zwei gleichzeitige Zugriffe auf dieselbe Speicherzelle der Speichereinrichtung in zwei sequentielle Zugriffe aufspalten zu können.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Verfahren anzugeben, durch welches ein gesichertes Auslesen bzw. Einschreiben von Daten aus bzw. in eine Speichereinrichtung, insbesondere ein 'Dual Ported RAM' auf einfache Weise sichergestellt werden kann.

Gelöst wird die Aufgabe ausgehend von den Merkmalen des Oberbegriffs des Patentanspruchs 1 bzw. 2 durch deren kennzeichnenden Merkmale.

Ein wesentlicher Vorteil des erfindungsgemäßen Verfahrens besteht nun darin, daß durch ein n-maliges Lesen der in einer Speicherzelle gespeicherten Information bzw. der in eine Speicherzelle eingeschriebenen Information und ein

nachfolgendes Vergleichen der n ausgelesenen Informationen auf einfache Weise gewährleistet wird, daß die, im Rahmen eines Lesezugriffs aus der Speicherzelle gelesene Information bzw. die, im Rahmen eines Schreibzugriffs in die Speicherzelle eingeschriebene Information korrekt ausgelesen bzw. eingespeichert wurde. Somit können durch das erfindungsgemäße Verfahren 'Dual Ported RAMs' verwendet werden, die keine Arbitrierungslogik für ein Aufspalten zweier gleichzeitiger Zugriffe in zwei sequentielle Zugriffe auf dieselbe Speicherzelle aufweisen und somit kostengünstiger sind.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Ein Vorteil von in den Unteransprüchen definierten Ausgestaltungen der Erfindung besteht darin, daß durch eine Erhöhung der Anzahl n der Lesevorgänge nach einem, im Rahmen eines Schreib- bzw. Lesezugriffs aufgetretenen Fehlers, die Wahrscheinlichkeit für ein Erkennen einer fehlerhaften ausgelesenen bzw. eingespeicherten Information erhöht wird.

Ein weiterer Vorteil von in den Unteransprüchen definierten Ausgestaltungen der Erfindung besteht darin, daß durch ein zufälliges variieren der Zeitabstände zwischen den n Lesevorgängen die Wahrscheinlichkeit für einen gleichzeitigen Zugriff auf dieselbe Speicherzelle ausgehend von beiden Anschlüssen der Speichereinrichtung verringert wird, und somit die Wahrscheinlichkeit für ein korrektes Auslesen einer, in einer Speicherzelle gespeicherten bzw. in eine Speicherzelle eingeschriebenen Information erhöht wird.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand der Zeichnung näher erläutert.

Dabei zeigen:

Fig. 1 ein Blockschaltbild zur schematischen Darstellung der am erfindungsgemäßen Verfahren beteiligten wesentlichen Funktionseinheiten;

Fig. 2 ein Ablaufdiagramm zur Veranschaulichung der im Rahmen eines Lesezugriffs ablaufenden wesentlichen Verfahrensschritte;

Fig. 3 ein Ablaufdiagramm zur Veranschaulichung der im Rahmen eines Schreibzugriffs ablaufenden wesentlichen Verfahrensschritte.

Fig. 1 zeigt eine schematische Darstellung einer, als 'Dual Ported RAM' ausgestalteten Speichereinrichtung SE die über einen ersten Schreib-Lese-Anschluß R/W1 mit einem ersten Prozessor CPU1 und über einen zweiten Schreib-Lese-Anschluß R/W2 mit einem zweiten Prozessor CPU2 verbunden ist. Des weiteren weist die Speichereinrichtung SE mehrere Speicherzellen SZ1, ..., SZn zur Speicherung von, z. B. jeweils 8-Bit langen Datenblöcken auf.

Durch eine Übermittlung einer entsprechenden, eine Speicherzelle SZ1, ..., SZn identifizierenden Lese-Anforderungsmeldung READ(SZ) von einem der Prozessoren CPU1, CPU2 an die Speichereinrichtung SE werden die, in der adressierten Speicherzelle SZ1, ..., SZn gespeicherte Information ausgelesen und über den entsprechenden Schreib-Lese-Anschluß R/W1, R/W2 an den, die Lese-Anforderungsmeldung READ(SZ) sendenden Prozessor CPU1, CPU2 übermittelt. Analog werden durch eine Übermittlung einer entsprechenden, eine Speicherzelle SZ1, ..., SZn identifizierenden Schreib-Anforderungsmeldung WRITE(SZ) von einem der Prozessoren CPU1, CPU2 an die Speichereinrichtung SE nachfolgend von diesem Prozessor CPU1, CPU2 über den entsprechenden Schreib-Lese-Anschluß R/W1, R/W2 übermittelte Daten in der adressierten Speicherzelle SZ1, ..., SZn eingespeichert.

Bei einem gleichzeitigen Lese- bzw. Schreibzugriff des ersten und des zweiten Prozessors CPU1, CPU2 auf dieselbe Speicherzelle SZ1, ..., SZn der Speichereinrichtung SE ist

das Ergebnis undefiniert, d. h. die Korrektheit der aus der entsprechenden Speicherzelle SZ1, ..., SZn ausgelesenen bzw. in die Speicherzelle SZ1, ..., SZn eingespeicherten Information ist nicht gewährleistet. Hierbei ist jedoch nur ein gleichzeitiger Lesezugriff bzw. ein gleichzeitiger Lese- und Schreibzugriff durch die beiden Prozessoren CPU1, CPU2 auf dieselbe Speicherzelle SZ1, ..., SZn der Speichereinrichtung SE möglich. Ein gleichzeitiger Schreibzugriff auf dieselbe Speicherzelle SZ1, ..., SZn durch die beiden Prozessoren CPU1, CPU2 wird durch die Speichereinrichtung SE automatisch unterbunden.

Da die Prozessoren CPU1, CPU2 im Rahmen eines Lese- bzw. Schreibzugriffs auf eine Speicherzelle SZ1, ..., SZn der Speichereinrichtung SE keine Information darüber erhalten, ob der jeweils andere Prozessor CPU1, CPU2 gleichzeitig auf dieselbe Speicherzelle SZ1, ..., SZn der Speichereinrichtung SE zugreift, erfolgt beim erfindungsgemäßen Verfahren im Rahmen eines Lese- bzw. Schreibzugriffs auf die Speichereinrichtung SE ein mehrfacher Zugriff auf die Speicherzelle SZ1, ..., SZn, so daß eine Überprüfung der aus einer Speicherzelle SZ1, ..., SZn gelesenen bzw. in die Speicherzelle SZ1, ..., SZn eingespeicherten Information durch den jeweiligen den Zugriff initialisierenden Prozessor CPU1, CPU2 erfolgen kann.

Fig. 2 zeigt ein Ablaufdiagramm zur Veranschaulichung der im Rahmen eines Lesezugriffs auf eine erste Speicherzelle SZ1 der Speichereinrichtung SE ablaufenden wesentlichen Verfahrensschritte. Für einen Lesezugriff auf die erste Speicherzelle SZ1 der Speichereinrichtung SE wird in einem ersten Schritt eine Anzahl n der, für eine Überprüfung der Korrektheit einer aus einer Speicherzelle SZ1, ..., SZn gelesenen Information zu erfolgenden Lesezugriffe ermittelt. Beim vorliegenden Ausführungsbeispiel wird die Anzahl n der zu erfolgenden Lesezugriffe standardmäßig auf den Wert  $n = 3$  gesetzt. Gleichzeitig wird eine verfahrensindividuelle Laufvariable x auf den Wert  $x = 1$  gesetzt. In einem nächsten Schritt wird durch die Übermittlung einer entsprechenden Lese-Anforderungsmeldung READ(SZ1) die in der ersten Speicherzelle SZ1 gespeicherte Information ausgelesen und durch den, den Lesezugriff initialisierenden Prozessor CPU1, CPU2 gespeichert. Anschließend wird überprüft, ob die Laufvariable x kleiner als die Anzahl n der zu erfolgenden Lesezugriffe ist. Ist dies der Fall, wird die Laufvariable x um den Wert 1 erhöht und der beschriebene Lesezugriff wird solange wiederholt, bis die Laufvariable x gleich der Anzahl n der zu erfolgenden Lesezugriffe, also  $n = 3$  ist.

Ist die Laufvariable x größer oder gleich der Anzahl n der zu erfolgenden Lesezugriffe werden in einem nächsten Schritt die n – in diesem Fall  $n = 3$  – durch den Prozessor CPU1, CPU2 gespeicherten Informationen miteinander verglichen. Stimmen die gespeicherten Informationen nicht überein, wird die Anzahl n der zu erfolgenden Lesezugriffe auf den Wert 5 erhöht und die Laufvariable wird auf den Wert 1 zurückgesetzt. Um die Korrektheit der gelesenen Information gewährleisten zu können, kann die Anzahl n der zu erfolgenden Lesezugriffe von einem Benutzer auf einen beliebigen, von ihm als optimal ermittelten Wert gesetzt werden. Anschließend wird das beschriebene Verfahren wiederholt, bis die n – in diesem Fall  $n = 5$  – gespeicherten Informationen übereinstimmen.

Stimmen die n gespeicherten Informationen überein, gilt die ausgelesene Information als korrekt und es wird abschließend überprüft, ob die Anzahl n der, für eine Überprüfung der Korrektheit der aus einer Speicherzelle SZ1, ..., SZn gelesenen Information zu erfolgenden Lesezugriffe größer als  $n = 3$  ist. Ist dies der Fall, wird die Anzahl n der zu erfolgenden Lesezugriffe um den Wert 1 dekrementiert.

Fig. 3 zeigt ein Ablaufdiagramm zur Veranschaulichung der im Rahmen eines Schreibzugriffs auf die erste Speicherzelle SZ1 der Speichereinrichtung SE ablaufenden wesentlichen Verfahrensschritte. Nach einem Einspeichern einer einzuspeichernden Information in die erste Speicherzelle SZ1 der Speichereinrichtung SE wird in einem nächsten Schritt die Anzahl n der, für eine Überprüfung der Korrektheit einer in eine Speicherzelle SZ1, ..., SZn eingespeicherten Information zu erfolgenden Lesezugriffe ermittelt. Beim vorliegenden Ausführungsbeispiel wird die Anzahl n der zu erfolgenden Lesezugriffe standardmäßig auf den Wert  $n = 3$  gesetzt. Gleichzeitig wird die verfahrensindividuelle Laufvariable x auf den Wert  $x = 1$  gesetzt. In einem nächsten Schritt wird durch die Übermittlung einer entsprechenden Lese-Anforderungsmeldung READ(SZ1) die in der ersten Speicherzelle SZ1 gespeicherte Information ausgelesen und durch den, den Lesezugriff initialisierenden Prozessor CPU1, CPU2 gespeichert. Anschließend wird überprüft, ob die Laufvariable x kleiner als die Anzahl n der zu erfolgenden Lesezugriffe ist. Ist dies der Fall, wird die Laufvariable x um den Wert 1 erhöht und der beschriebene Lesezugriff wird solange wiederholt, bis die Laufvariable x gleich der Anzahl n der zu erfolgenden Lesezugriffe, also  $x = 3$  ist.

Ist die Laufvariable x größer oder gleich der Anzahl n der zu erfolgenden Lesezugriffe werden in einem nächsten Schritt die n – in diesem Fall  $n = 3$  – durch den Prozessor CPU1, CPU2 gespeicherten Informationen jeweils mit der in die erste Speicherzelle SZ1 einzuschreibenden Information verglichen. Stimmen die gespeicherten Informationen nicht mit der in die erste Speicherzelle SZ1 einzuschreibenden Information überein, wird die Anzahl n der zu erfolgenden Lesezugriffe auf den Wert 5 erhöht und die Laufvariable wird auf den Wert 1 zurückgesetzt. Um die Korrektheit der gelesenen Information gewährleisten zu können, kann die Anzahl n der zu erfolgenden Lesezugriffe von einem Benutzer auf einen beliebigen, von ihm als optimal ermittelten Wert gesetzt werden. Anschließend wird die einzuschreibende Information erneut in die erste Speicherzelle SZ1 eingespeichert und das beschriebene Verfahren wird solange wiederholt, bis die n – in diesem Fall  $n = 5$  – gespeicherten Informationen übereinstimmen.

Stimmen die n gespeicherten Informationen mit der in die erste Speicherzelle SZ1 einzuschreibenden Information überein, gilt die Information als korrekt eingespeichert und es wird abschließend überprüft, ob die Anzahl n der, für eine Überprüfung der Korrektheit einer, in einer Speicherzelle SZ1, ..., SZn eingespeicherten Information zu erfolgenden Lesezugriffe größer als  $n = 3$  ist. Ist dies der Fall, wird die Anzahl n der zu erfolgenden Lesezugriffe um den Wert 1 dekrementiert.

Beim erfindungsgemäßen Verfahren wird die Zeitspanne zwischen zwei, zur Überprüfung der Korrektheit einer, in eine Speicherzelle SZ1, ..., SZn eingeschriebenen bzw. aus einer Speicherzelle SZ1, ..., SZn ausgelesenen Information erfolgenden Lesevorgänge auf eine Speicherzelle SZ1, ..., SZn der Speichereinheit SE variabel gehalten. Hierbei wird die Zeit zwischen zwei Lesevorgänge beispielsweise durch einen Zufallsgenerator innerhalb einer vorgegebenen Zeitspanne zufällig bestimmt. Dadurch wird gewährleistet, daß in Fällen, in denen durch die beiden Prozessoren CPU1, CPU2 ein gleichzeitiger Zugriff auf eine Speicherzelle SZ1, ..., SZn der Speichereinrichtung SE erfolgt, ein zweiter, der Überprüfung der Korrektheit dienender Lesezugriff nicht erneut zur gleichen Zeit erfolgt und somit eine unbestimmte Information ausgelesen wird.

1. Verfahren für einen Lesezugriff auf eine Speichereinrichtung (SE), wobei eine erste Zugriffseinrichtung (CPU1) über einen ersten Anschluß (R/W1) der Speichereinrichtung (SE) und eine zweite Zugriffseinrichtung (CPU2) über einen zweiten Anschluß (R/W2) der Speichereinrichtung (SE) mit der Speichereinrichtung (SE) verbunden sind, **dadurch gekennzeichnet**, daß bei dem Lesezugriff auf eine Speicherzelle (SZ1, ..., SZn) der Speichereinrichtung (SE) durch die erste und/oder die zweite Zugriffseinrichtung (CPU1, CPU2) eine, in der Speicherzelle (SZ1, ..., SZn) gespeicherte Information zeitlich nacheinander n-mal ausgelesen und anschließend verglichen wird, und daß
  - in Fällen, in denen die n ermittelten Informationen identisch sind, die ausgelesene Information als korrekt ausgelesen gilt,
  - in Fällen, in denen die n ermittelten Informationen nicht identisch sind, die in der Speicherzelle (SZ1, ..., SZn) gespeicherte Information erneut zeitlich nacheinander n-mal ausgelesen und anschließend verglichen wird.
2. Verfahren für einen Schreibzugriff auf eine Speichereinrichtung (SE), wobei eine erste Zugriffseinrichtung (CPU1) über einen ersten Anschluß (R/W1) der Speichereinrichtung (SE) und eine zweite Zugriffseinrichtung (CPU2) über einen zweiten Anschluß (R/W2) der Speichereinrichtung (SE) mit der Speichereinrichtung (SE) verbunden sind, **dadurch gekennzeichnet**, daß bei dem Schreibzugriff auf eine Speicherzelle (SZ1, ..., SZn) der Speichereinrichtung (SE) durch die erste und/oder die zweite Zugriffseinrichtung (CPU1, CPU2) eine, im Rahmen des Schreibzugriffs in der Speicherzelle (SZ1, ..., SZn) gespeicherte Information zeitlich nacheinander n-mal ausgelesen und diese Informationen anschließend mit der in die Speicherzelle (SZ1, ..., SZn) einzuspeichernden Information verglichen wird, und daß
  - in Fällen, in denen die n ermittelten Informationen jeweils mit der in die Speicherzelle (SZ1, ..., SZn) einzuschreibenden Information identisch sind, die in der Speicherzelle (SZ1, ..., SZn) gespeicherte Information als korrekt eingeschrieben gilt,
  - in Fällen, in denen die n ermittelten Informationen nicht mit der in die Speicherzelle (SZ1, ..., SZn) einzuschreibenden Information identisch sind, die Information erneut in die Speicherzelle (SZ1, ..., SZn) eingeschrieben wird und die gespeicherte Information erneut zeitlich nacheinander n-mal ausgelesen und diese Informationen anschließend mit der in die Speicherzelle (SZ1, ..., SZn) einzuspeichernden Information verglichen wird.
3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß in Fällen, in denen die n ermittelten Informationen nicht identisch sind, die Anzahl der Lesezugriffe n auf einen vorgebbaren Wert erhöht wird, und daß nachfolgend infolge eines korrekten Lese- bzw. Schreibzugriffs auf eine Speicherzelle (SZ1, ..., SZn) die Anzahl n der Lesevorgänge um den Wert 1 solange dekrementiert wird, bis die ursprünglich Anzahl n der Lesevorgänge erreicht ist.
4. Verfahren nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß die n Lesevorgänge

- Leerseite -

BEST AVAILABLE COPY

Fig 1

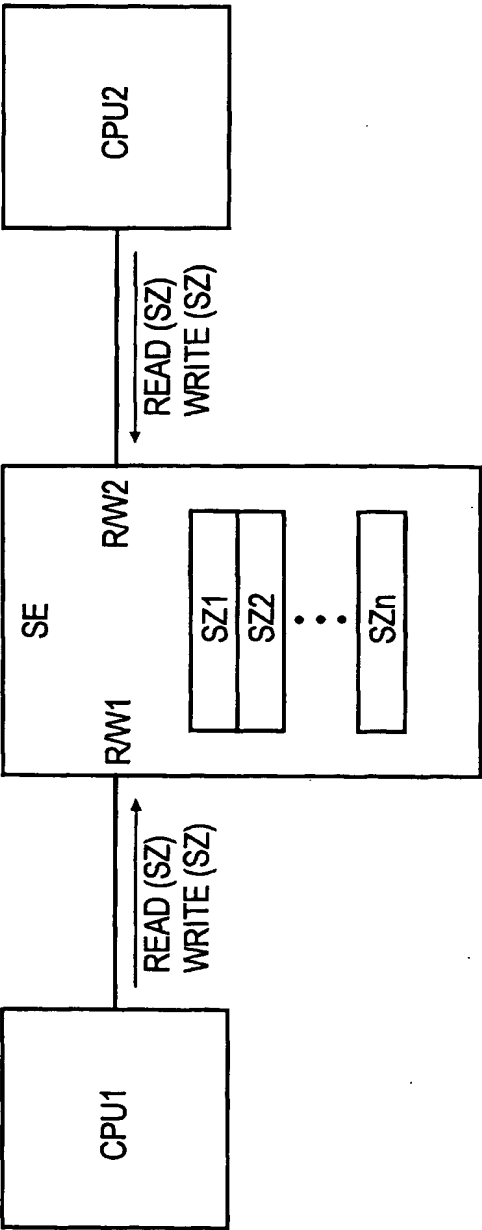


Fig 2

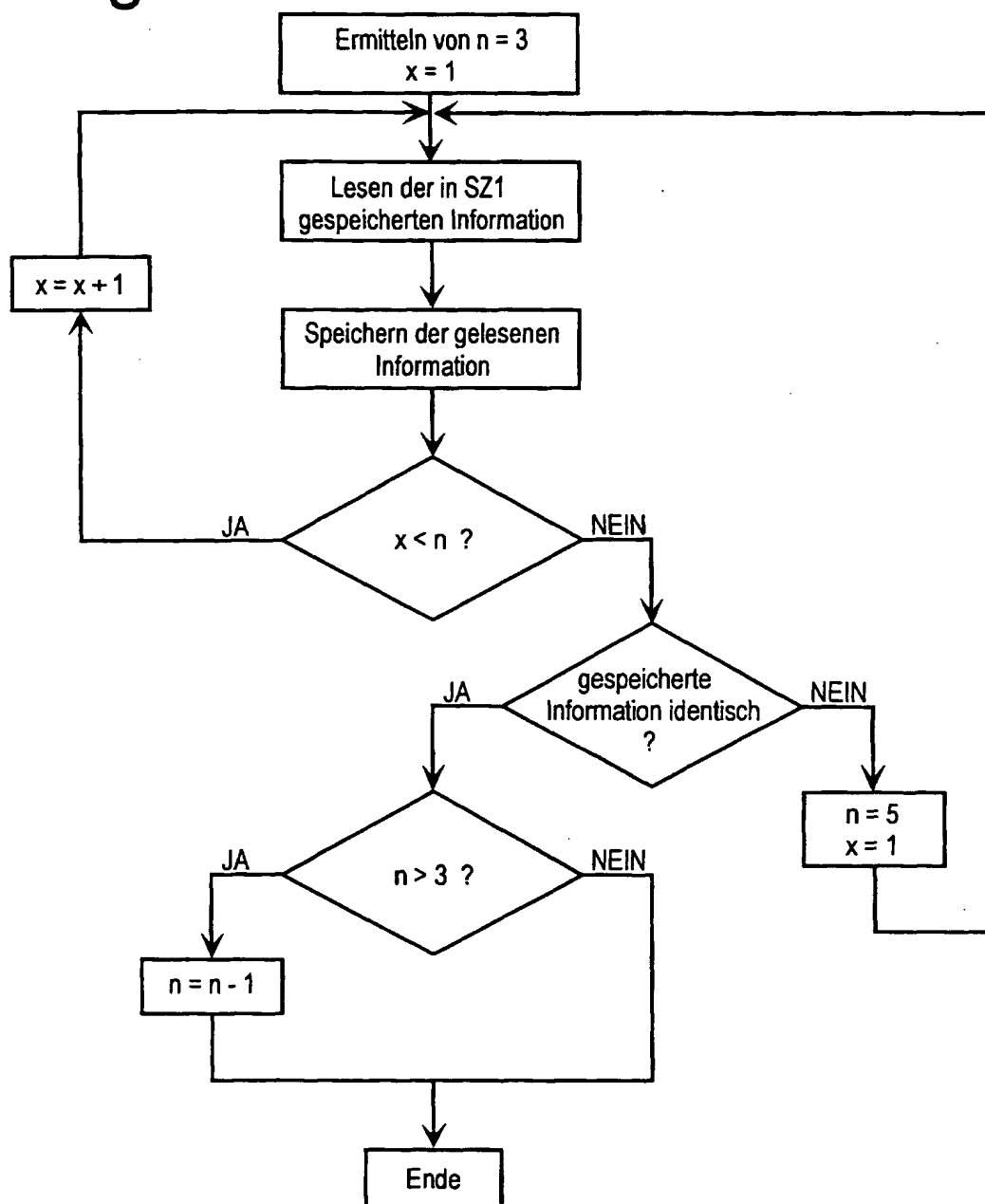
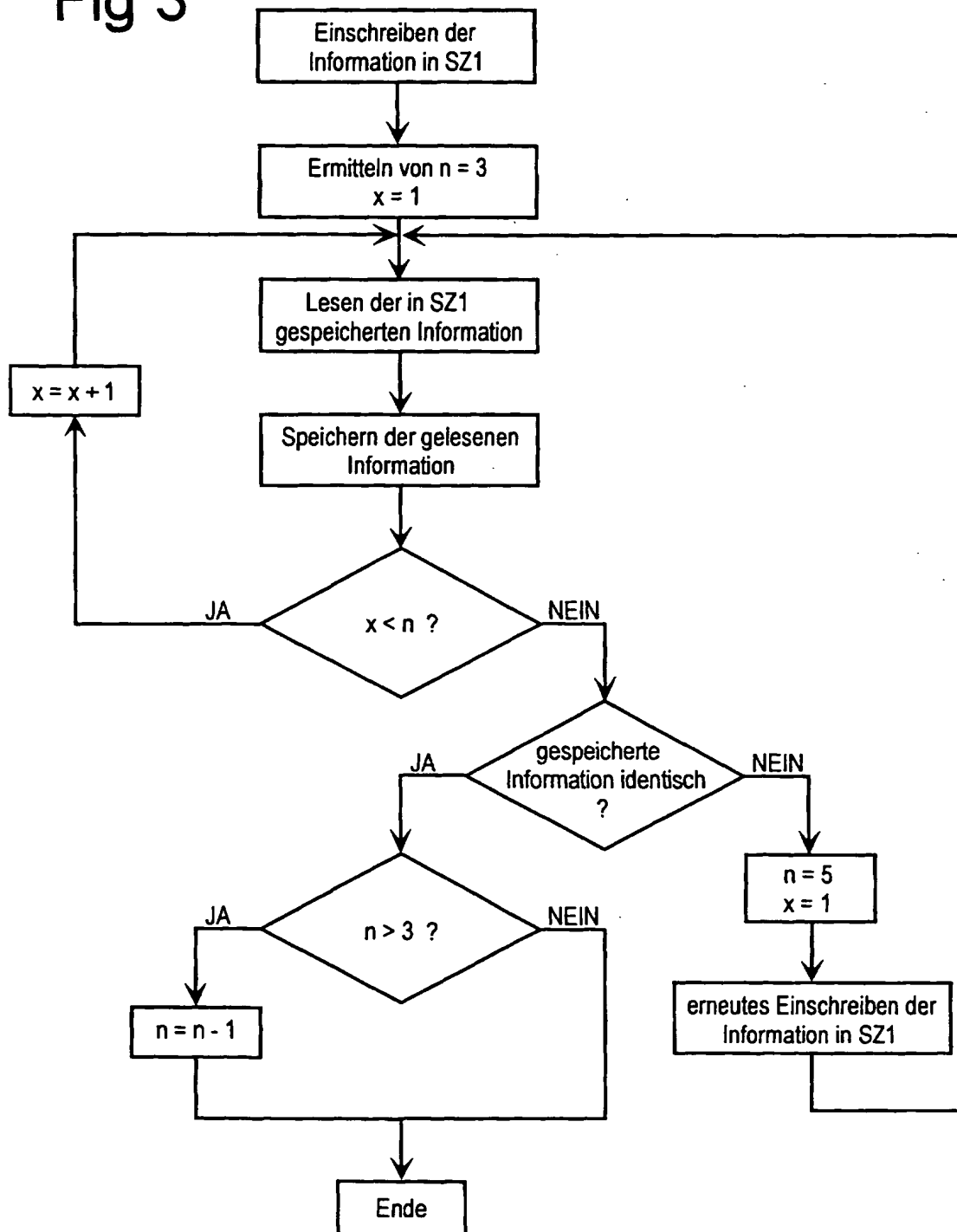


Fig 3





2/9/1 351 13468383 \$ US  
Derwent WPI  
(c) 2005 Thomson Derwent. All rights reserved.

013468383 \*\*Image available\*\*  
WPI Acc No: 2000-640326/200062  
XRPX Acc No: N00-474969

**Method of accessing memory device, especially dual ported  
RAM - involves first and/or second access devices reading information  
stored in cell number of times and comparing information read; if  
information is identical it is read out as correct, otherwise process is  
repeated**

Patent Assignee: SIEMENS AG (SIEI )  
Inventor: GERICKE H; HOFFMANN C; SCHICKLINSKI P  
Number of Countries: 025 Number of Patents: 004  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1050822	A2	20001108	EP 2000109637	A	20000505	200062 B
DE 19920992	A1	20001116	DE 199020992	A	19990506	200065
EP 1050822	B1	20041215	EP 2000109637	A	20000505	200482
DE 50008936	G	20050120	DE 8936	A	20000505	200510
			EP 2000109637	A	20000505	

Priority Applications (No Type Date): DE 199020992 A 19990506  
Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 1050822	A2	G	8	G06F-013/16	
Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI					
DE 19920992	A1			G11C-007/00	
EP 1050822	B1	G		G06F-013/16	
Designated States (Regional): DE FR GB IT					
DE 50008936	G			G06F-013/16	Based on patent EP 1050822

Abstract (Basic): EP 1050822 A

The method involves using two access devices connected to first and second memory connections. For read access to a memory cell the first and/or second access devices read the information stored in the cell a number of times and then compare the information read.

If the information is identical it is read out as correct, otherwise the process is repeated. For writing, the written information stored in the cell is compared with the information to be written.

USE - For read or write access to memory device, especially dual ported RAM.

ADVANTAGE - Enables secure reading or writing of data from or to memory.

Dwg.2/3